

Het tijdperk van de nanosheet-transistor

foto Imec

Verschillende chipfabrikanten zullen voor de massaproductie van hun nieuwste generatie rekenchips (3nm en 2nm) binnenkort een nieuw type transistor gebruiken: de nanosheet-transistor. In dit artikel zet Naoto Horiguchi, directeur CMOS transistortechnologie bij imec, de ontwikkeling van de nanosheet-transistor in de kijker. Vanaf het prille begin tot de komst van nieuwere generaties, namelijk de forksheet- en de CFET-transistor. Deze nanosheet-familie zal een verdere miniaturisering van rekenchips mogelijk maken, om zo een antwoord te bieden op de alsmear toenemende vraag naar rekenkracht.

DOOR NAOTO HORIGUCHI

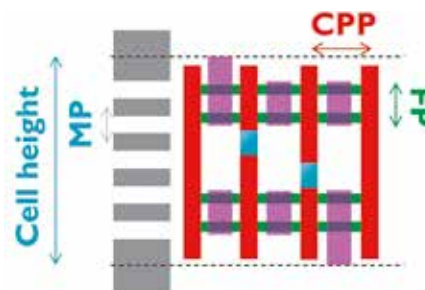
Het aantal transistoren op een chip verdubbelt zowat om de twee jaar, waardoor er steeds meer rekenkracht op een kleinere oppervlakte beschikbaar wordt. Chips alsmear krachtiger maken is nodig om een antwoord te bieden op het toenemend dataverkeer, en om innovaties mogelijk te maken. Op een bepaald punt botsen we echter op fysieke limieten en moeten er nieuwe transistoren ontwikkeld worden die deze schaalverkleining kunnen voortzetten. Vandaag vinden we in de meest geavanceerde chips voor rekentoepassingen (de technologiegeneraties van 5 en 7 nm) de FinFET terug. De FinFET dankt zijn naam aan een geleidingskanaal dat de vorm heeft van een 'vin'. De chipindustrie staat nooit te popelen om een nieuw type transistor in gebruik te nemen voor de massaproductie van chips. Dat maakt het productieproces immers veel complexer en brengt extra investeringen met zich mee. Maar recent kondigden enkele grote chipfabrikanten zoals Samsung, Intel, TSMC en IBM aan dat zo'n overgang er binnenkort aankomt. Vanaf 2022 of 2023 zullen deze bedrijven gra-

duel de vertrouwde FinFET-transistor 'inruilen' voor de nanosheet-transistor. Deze 'nanosheets' zullen het kloppend hart vormen van de rekenchips van de 3 nm of 2 nm technologiegeneratie.

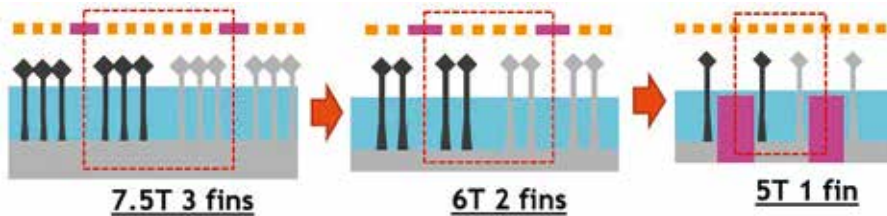
Waarom de FinFET 'inruilen' voor de nanosheet?

Een manier om alsmear meer transistoren op eenzelfde chipoppervlak te krijgen, is het verkleinen van de afmetingen van de standaardcellen. Een standaardcel is een kleine functionele eenheid van een chip die een beperkte logische functie kan uitvoeren, bijv. een logische AND of OR. Zo'n cel bestaat uit een paar transistoren en enkele metaal-interconnectielagen om die transistoren te verbinden. De standaardcel verkleinen kan door de 'hoogte' van de cel te reduceren. Bij een FinFET gebeurde dat door het aantal vinnen per transistor systematisch te verminderen. In het originele ontwerp van de FinFET werden drie vinnen gebruikt om voldoende stroomsterkte te hebben. Maar om de standaardcel verder te verkleinen, werd dat aantal teruggebracht naar twee. Om voldoende stroomsterkte te behouden, werden de

twee vinnen wat hoger gemaakt. Deze trend zou zich kunnen doorzetten tot er één vin overblijft. De stroomsterkte van FinFET-gebaseerde transistor-architecturen verder vergroten is echter een hele uitdaging. En daar komt de nanosheet-architectuur te hulp. In deze transistor heeft het geleidingskanaal de vorm van een heel klein 'velletje' of nanosheet. Je kan nu verschillende nanosheets verticaal op elkaar stapelen, en elk van de nanosheets wat breder maken.



Schematische voorstelling van een logische standaardcel lay-out met FinFETs (CPP = contacted poly pitch, de afstand tussen de poortcontactjes van twee transistoren; FP = de afstand tussen twee 'vinnen'; MP = afstand tussen twee metaallijntjes; celhoogte: aantal metaallijntjes per cel (of tracks, T) maal de afstand tussen de metaallijnen. (Foto imec)



In FinFET-gebaseerde architecture wordt het aantal vinnen per transistor systematisch verminderd om standaardcellen te kunnen verkleinen. Om de kleiner wordende stroomsterkte te compenseren, worden de vinnen hoger gemaakt. (Foto imec)

Op die manier haal je meer stroom uit de transistor dan bij een FinFET, zonder zijn voetafdruk te moeten vergroten. Een ander belangrijk voordeel van de nanosheet is de zogenaamde 'gate-all-around' structuur: de poort (of gate) van de transistor omgeeft de geleidingskanaaltjes nu aan alle kanten, terwijl dat bij de FinFET maar aan drie kanten het geval was. Zo kan de poort veel meer controle over het geleidingskanaal uitoefenen, wat minder lekstromen geeft als de transistor uit staat. De nanosheet biedt dus ook een oplossing voor de ongewenste 'korte-kanaaleffecten' die optreden bij hele kleine transistoren.

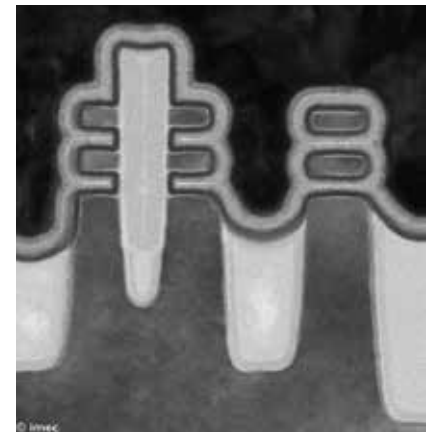
Kritische bouwstenen

Net zoals bij de overgang van de klassieke MOSFET-transistor naar de FinFET, moesten er voor de overgang van FinFET naar de 'gate-all-around' nanosheet-transistor een aantal nieuwe processtappen worden ontwikkeld. Maar gelukkig bleef dat aantal beperkt, aangezien de nanosheet vanuit fabricagestandpunt op een natuurlijke manier voortvloeit uit de FinFET. Heel wat van de procesmodules die destijds ontwikkeld en geoptimaliseerd zijn voor de FinFET konden dus hergebruikt worden. En dat heeft zeker de nakende overstap voor de industrie vergemakkelijkt. Toch zijn er een aantal kritische processtappen waarin beide architecturen verschillen, en die specifieke innovaties vereisten. Als eerste stap in het fabricageproces worden verschillen-

de lagen van Si en SiGe alternerend op elkaar neergezet. SiGe zal in een latere fase worden weggeëtst, waarna verschillende Si geleidingskanaaltjes (verticaal gestapeld) overblijven. Deze stapel aan multilagen wordt door middel van ets-technieken omgevormd tot een hoge en smalle structuur, waardoor het moeilijk wordt om de vorm van de nanosheet te behouden. Imec heeft hiervoor in 2017 tijdens een toonaangevende conferentie (IEDM) een oplossing voorgesteld die ook tot een betere werking van de transistor leidde: een grotere stroomsterkte en snellere schakeling. Imec was ook de eerste die de integratie van een goed werkende nanosheet-transistor in een echt circuit (m.n. een ringoscillator) rapporteerde. Andere kritische processtappen zijn: de vorming van de 'inner spacer' (een module die de poort van de bron en afvoer moet isoleren); de 'channel release' stap (de stap waarin de nanosheets van elkaar gescheiden worden door de SiGe-laagjes selectief weg te etsen), en de integratie van de poortstructuur (waarbij het poortmetaal tussen en rond de nanosheets moet worden aangebracht).

En dan komt de forksheet

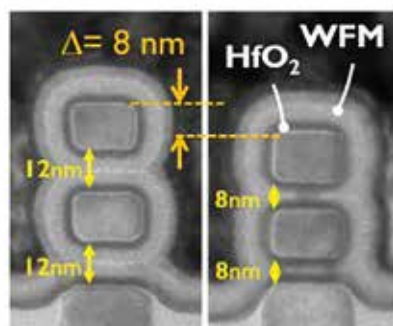
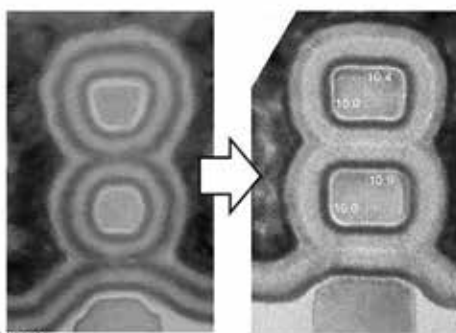
De beste manier om de transistoren beter te laten werken, is de effectieve breedte van de kanalen verder verhogen, zonder daarbij de standaardcel te vergroten. Maar in conventionele nano-



Doorsnede (TEM) van forksheet- (links) en nanosheet- (rechts) transistoren die op één wafer werden geïntegreerd. Voor de forksheet werd de afstand tussen de p- en n-type transistoren verkleind tot 17 nm. (Foto imec)

sheet-architecturen is dat heel moeilijk. Spelbreker is de grote ruimte die nodig is tussen de p- en n-type transistoren (in een standaard CMOS-rekenchip hebben we beide types nodig). En daar komt de forksheet-transistor te hulp. Deze architectuur, uitgevonden door imec, laat toe om de n- en p-type transistoren dichter bij elkaar te brengen door een isolerende muur tussen de twee types transistoren te plaatsen. De vrijgekomen ruimte kan zo gebruikt worden om de effectieve kanaalbreedte verder te vergroten, waardoor de stroomsterkte toeneemt. Of, de kleinere ruimte tussen n en p kan ingezet worden om de hoogte van de standaardcel weer wat te verkleinen. De ontwerper heeft dus de vrijheid om met die parameters te spelen. Simulaties voorspellen ook dat de forksheet sneller zou kunnen schakelen dan een gewone nanosheet-transistor. Vanuit fabricagestandpunt

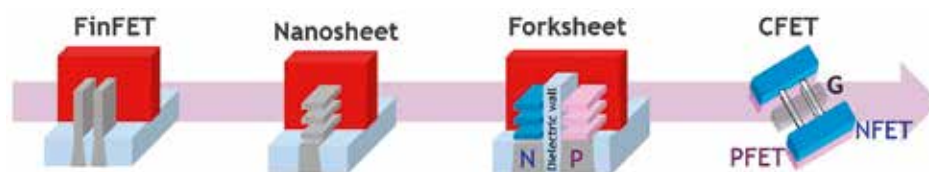
Voorbeelden van optimalisaties voor verticaal gestapelde gate-all-around nanosheet-transistoren: (links) naar een betere controle van de vorm van de nanosheet; (rechts) naar een kleinere afstand tussen nanosheets. (Foto imec)



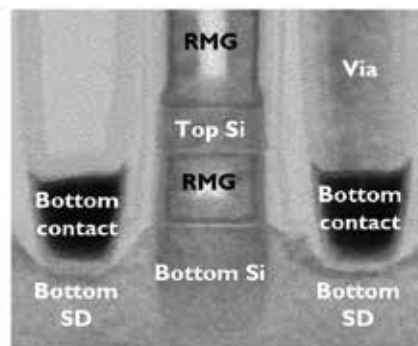
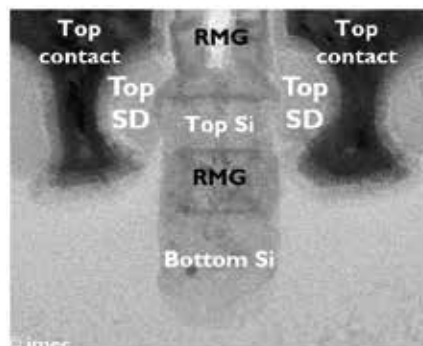
vloeit de forksheet-architectuur heel natuurlijk voort uit de conventionele nanosheet-architectuur. Al zijn er ook hier een aantal nieuwe processtappen, zoals de vorming van de isolerende muur. Tijdens een toonaangevende conferentie (VLSI 2021) kon voor de eerste keer de succesvolle integratie van forksheet-transistoren aangetoond worden, evenals een elektrische karakterisatie. De afstand tussen de n- en p-type transistoren kon hierbij teruggebracht worden tot slechts 17 nm. Toch bleef er nog één bezorgdheid. Zoals eerder uitgelegd is de 'gate-all-around' structuur een belangrijke troef van de nanosheet-architectuur omdat die een goede elektrostatistische controle van het geleidingskanaal mogelijk maakt. Maar bij de forksheet heeft de poortstructuur de vorm van een vork – vandaar ook de naam – en omgeeft die het kanaal maar aan drie kanten. Imec kon echter aantonen dat de controle over het kanaal voor een forksheet (met 20 nm poortlengte) vergelijkbaar is met die van verticaal gestapelde nanosheet-transistoren.

Op langere termijn kan de CFET de nanosheet-familie vervolledigen

Met de complementaire veldeffect-transistor of CFET zullen we de effectieve kanaalbreedte nog verder kunnen vergroten. In deze architectuur worden de n- en p-type transistoren boven op elkaar gestapeld. Op die manier verplaatst de afstand tussen de n- en p-type transistoren zich nu naar de verticale richting, en moeten we hem niet meer in rekening brengen bij het bepalen van de celhoogte. Zo wordt ruimte vrijgemaakt om



Evolutie van FinFET naar nanosheet, forksheet en CFET. (Foto imec)



TEM-beelden van een 'monolitische' CFET. Links: bovenste CFET-transistor; rechts: onderste CFET-transistor. (Foto imec)

de kanaalbreedte verder te vergroten. De winst in oppervlakte kan ook hier weer gebruikt worden om de standaardcel verder te verkleinen. In de CFET kunnen kanalen gemaakt worden in de vorm van een vin (n-vin op p-vin) of in de vorm van een nanosheet (n-sheet op p-sheet). In deze laatste configuratie vervolledigt de CFET de nanosheet-familie als ultieme CMOS-transistorarchitectuur. De CFET-architectuur is echter vrij complex om te maken. Om een verticale integratie van de twee types transistoren mogelijk te maken, kunnen we twee mogelijke integratieschema's volgen (monolithisch en sequentieel) elk met zijn voor- en nadelen. Imec richt zich op de ontwikkeling van de specifieke modules en integratiestappen, en brengt de voor- en nadelen van elk van de procesflows in kaart.

Besluit

In dit artikel hebben we uitgelegd hoe de nanosheet-architectuur een verdere schaalverkleining van rekenaars mogelijk maakt. Elke nieuwe generatie, mogelijk gemaakt door de nanosheet, forksheet en CFET, zorgt voor beter werkende transistoren en/of een verdere verkleining van de hoogte van de standaardcel. Vanuit fabricagestandpunt vloeit de nanosheet op natuurlijke wijze voort uit de FinFET. Toch brengt elke nanosheet-architectuur specifieke integratie-uitdagingen met zich mee. Imec blijft zich inzetten om hiervoor oplossingen te ontwikkelen, voor- en nadelen af te wegen, en de resultaten terug te koppelen aan zijn partners uit de chipindustrie. ■



Over de auteur

Naoto Horiguchi is directeur van het 'logic CMOS scaling program' bij imec. Hij begon zijn loopbaan in halfgeleider R&D in Fujitsu Laboratories Ltd. in 1992. Van 1992-1999 richtte hij zich op de ontwikkeling van transistoren in Fujitsu Laboratories Ltd. en aan de Universiteit van California, Santa Barbara. Van 2000 tot 2006 leidde hij als integratie-ingenieur de ontwikkeling van 90-45 nm CMOS-technologie in Fujitsu Ltd. Sinds 2006 is hij werkzaam bij imec, waar hij zich richt op onderzoek en ontwikkeling van geavanceerde CMOS-transistoren, samen met imecs wereldwijd ecosysteem van industriële partners, universiteiten en onderzoeksinstituten. Zijn huidige focus is de schaalverkleining van CMOS-transistoren voor de 1 nm en kleinere technologienodes.